

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2002年 1月 9日

出願番号

Application Number:

特願2002-002033

[ST.10/C]:

[JP2002-002033]

出願人

Applicant(s):

松下電器産業株式会社

2003年 3月 7日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3014136

【書類名】

特許願

【整理番号】

2030230071

【提出日】

平成14年 1月 9日

【あて先】

特許庁長官 殿

【国際特許分類】

H01L 29/78

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地
式会社内

【氏名】 原 義博

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地
式会社内

【氏名】 浅井 明

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地
式会社内

【氏名】 菅原 岳

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地
式会社内

【氏名】 空田 晴之

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地
式会社内

【氏名】 大西 照人

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項1】 半導体基板と、

上記半導体基板上に形成され、主要部の組成が $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ ($0 < x < 1$, $0 \leq y < 1$) で表される化合物半導体層と、

上記化合物半導体層に接して設けられ、上記化合物半導体層の一部が、Ge のうちの少なくとも一部が熱処理によって蒸発した後に、酸化されることにより形成された Ge 蒸発酸化部と

を備えている半導体装置。

【請求項2】 請求項1に記載の半導体装置において、

上記化合物半導体層のうち上記主要部と上記Ge 蒸発酸化部との間に位置する部分は、Ge のうちの少なくとも一部が蒸発したGe 蒸発部となっていることを特徴とする半導体装置。

【請求項3】 請求項1に記載の半導体装置において、

上記化合物半導体層のうち、上記主要部と上記Ge 蒸発酸化部とが接していることを特徴とする半導体装置の製造方法。

【請求項4】 請求項1～3に記載の半導体装置において、

上記化合物半導体層を貫通して上記半導体基板に到達するトレンチ素子分離が形成されており、

上記化合物半導体層のうち上記トレンチ素子分離と接する部分は、上記Ge 蒸発酸化部であることを特徴とする半導体装置。

【請求項5】 請求項1～4に記載の半導体装置において、

上記熱処理は、700°C以上の温度で行われることを特徴とする半導体装置。

【請求項6】 請求項1～5に記載の半導体装置において、

上記Ge 蒸発酸化部の深さは、30nm以下であることを特徴とする半導体装置。

【請求項7】 半導体基板上に、主要部の組成が $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ ($0 < x < 1$, $0 \leq y < 1$) で表される化合物半導体層を形成する工程(a)と、

減圧雰囲気下において、上記化合物半導体層に熱処理を行なうことによりGeを蒸発させて、上記化合物半導体層のうちの一部を、上記 $S_{1-x-y}Ge_xC_y$ よりGe組成比の低いGe蒸発部とする工程（b）と、
上記Ge蒸発部の少なくとも一部を酸素雰囲気下で酸化する工程（c）と
を含む半導体装置の製造方法。

【請求項8】 請求項7に記載の半導体装置の製造方法において、
上記工程（c）では、上記Ge蒸発部の少なくとも一部を酸化することにより
、ゲート酸化膜の少なくとも一部を形成することを特徴とする半導体装置の製造
方法。

【請求項9】 請求項7または8に記載の半導体装置の製造方法において、
上記工程（a）の後、上記工程（b）の前に、上記化合物半導体層の側面を露
出させる工程（d）をさらに含み、

上記工程（b）では、上記化合物半導体層のうち上記側面付近の部分を上記Ge
蒸発部の少なくとも一部とすることを特徴とする半導体装置の製造方法。

【請求項10】 請求項9に記載の半導体装置の製造方法において、
上記工程（d）では、上記化合物半導体層の一部を除去してトレンチを形成す
ることにより上記化合物半導体層の上記側面を露出させ、
上記工程（c）の後には、上記トレンチを絶縁層で埋めることによりトレンチ
素子分離を形成する工程（e）をさらに含むことを特徴とする半導体装置の製造
方法。

【請求項11】 請求項7～10のうちいずれか1つに記載の半導体装置の
製造方法において、

上記熱処理は、700°C以上の温度で行われることを特徴とする半導体装置の
製造方法。

【請求項12】 請求項7～11のうちいずれか1つに記載の半導体装置の
製造方法において、

上記酸化によって形成される酸化部の深さが30nm以下であることを特徴と
する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層 ($0 < x < 1$, $0 \leqq y < 1$) を有する半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】

近年、シリコン (Si) とゲルマニウム (Ge) の混晶である $\text{Si}_{1-x}\text{Ge}_x$ 層 ($0 < x < 1$) (以下では、SiGe 層と記す。) を用いたヘテロ接合電界効果トランジスタやヘテロ接合バイポーラトランジスタなどの研究開発が盛んに行われている。

【0003】

SiGe 層を用いたヘテロ接合デバイスでは、SiGe 層中のキャリアの高い移動度に起因して高速動作が実現できる。加えて、SiGe 層を用いたデバイス (以下では、SiGe デバイスと記す。) の製造工程は Si 層を用いたデバイス (以下では、Si デバイスと記す。) の製造工程と互換性を示すことから、ほとんどの工程で従来の Si デバイスの製造技術および製造ラインが利用できる。このことから、SiGe デバイスを Si 基板上に集積化することも可能である。このように、SiGe デバイスは性能およびコスト面で優れた性質を有する。

【0004】

ところで、SiGe デバイスを Si 基板上に数多く集積化する場合には、従来の Si デバイスと同様に、個々のデバイスを電気的に絶縁する素子分離技術が重要になる。

【0005】

従来の Si デバイスにおける素子分離の方法としては、選択酸化 (LOCOS) 法やトレンチ分離法がある。しかしながら、LOCOS 法では、いわゆるバズビーグが形成されて素子分離用の酸化膜がトランジスタ形成領域に侵入することから、トランジスタ領域が狭くなり集積回路の微細化に支障をきたすというおそれがある。そこで、近年では、微細ルールにおける集積回路においては、トランジスタ形成領域の縮小を引き起こすことなく素子分離を行うことができるトレ

ンチ素子分離法が主流となっている。

【0006】

SiGe層を用いたデバイスにおける素子分離の方法について以下に述べる。SiGeデバイスにおける素子分離方法も、Siデバイスと同様にトレンチ素子分離法が主流となると考えられる。このトレンチ素子分離法を形成する方法は、SiGe層を形成する前にトレンチを形成する方法と、SiGe層を形成した後にトレンチを形成する方法との2種類に大きく分けることができる。

【0007】

まず、基板上にSiGe層を形成する前にトレンチ素子分離を形成する方法について以下に述べる。この方法では、トレンチ分離の工程がSiGe層を形成する前の工程であるので従来のSiデバイスに用いるプロセス技術を用いることができる。しかしながら、トレンチ素子分離を形成した後の基板上にSiGe層をエピタキシャル成長によって形成する際には、非選択法においては酸化膜や多結晶シリコン膜上には多結晶SiGe層が形成され、この多結晶SiGe層が電流のリークの原因になる恐れがあり、また、選択成長法においては、選択成長領域の周辺部（境界部）において、ファセット面が形成されることによつてしきい値電圧が変動してしまうなどの不具合がある。

【0008】

次に、基板上にSiGe層を形成した後にトレンチ素子分離を形成する方法について、図8(a)～(e)を参照しながら以下に説明する。図8(a)～(e)は、従来の方法によって、SiGe層が形成されている基板にトレンチ素子分離を形成する工程を示した断面図である。なお、図8(a)～(e)では、従来のSiデバイスにおけるトレンチ素子分離の形成工程と同様の工程によりトレンチ素子分離を形成している。

【0009】

まず、図8(a)に示す工程で、n型不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ であるSi基板101上に、UHV-CVD法により、厚さ10nmのSiバッファ層102と、厚さ15nmの、Ge組成率が25%であるSiGe層103と、厚さ15nmのSiキャップ層104とをエピタキシャル成長させる。このUHV-

CVD法では、SiおよびGeのソースガスとしてはSi₂H₆（ジシラン）およびGeH₄（ゲルマン）を用いる。また、成長温度は550℃であり、意図的なドーピングは行っていない。なお、半導体基板は、活性層形成領域Racと素子分離領域Reとに分けられる。

【0010】

次に、図8（b）に示す工程で、Siキャップ層104の上部を熱酸化することによりシリコン熱酸化膜105を形成する。この熱酸化により、Siキャップ層104の上部が酸化されて熱酸化膜となるため、Siキャップ層104は8nm程度の厚さとなる。なお、このときの熱酸化温度は750℃である。次に、シリコン熱酸化膜105の上に、厚さ210nmのシリコン窒化膜106を形成する。なお、シリコン窒化膜106の堆積温度は740℃である。このとき、シリコン熱酸化膜105およびシリコン窒化膜106を形成するときの温度を低温にすることにより、Si結晶の上に形成されて歪んだ状態にあるSiGe層103が緩和して欠陥が発生するのを防ぐことができる。

【0011】

そして、異方性ドライエッティングによって、シリコン窒化膜106およびシリコン熱酸化膜105のうち素子分離領域Reに位置する部分を除去する。続いて、シリコン窒化膜106およびシリコン熱酸化膜105のうち活性層形成領域Racに残った部分をマスクとしてSiキャップ層104、SiGe層103、Siバッファ層102およびSi基板101の上部をパターニングすることにより、Si基板101に到達する、深さ0.4～0.8μm程度のトレンチ107aを形成する。ここで、トレンチ107aを形成することにより、トレンチ107aの側壁上にはSiGe層103の側面が露出することになる。

【0012】

次に、図8（c）に示す工程で、トレンチ107aの側壁を750℃で熱酸化することにより、トレンチの側壁上を覆うトレンチ側壁膜108を形成する。

【0013】

次に、図8（d）に示す工程で、基板上に酸化膜を形成し、この酸化膜のうち活性層形成領域Racに位置する部分をエッチバックあるいはCMP（化学的機

械的研磨法)によって除去することにより、トレンチ107aを埋めるトレンチ酸化膜109を形成する。これにより、半導体基板における各活性領域は、トレンチ酸化膜109とトレンチ側壁膜108とからなるトレンチ素子分離107によって個々に分離されることになる。

【0014】

次に、図8(e)に示す工程で、基板上のうち活性層形成領域Racに残存しているシリコン窒化膜106およびシリコン熱酸化膜105をエッチングにより除去して、Siキャップ層104のうち活性層形成領域Racに位置する部分を露出させる。

【0015】

ここで、トレンチ素子分離を図8(a)～(e)に示す工程で形成した半導体装置である、SiGe層をホールチャネルとするp型MOSFET(SiGe p-MOSFET)について、図9(a), (b)を参照しながら説明する。図9(a), (b)は、トレンチ素子分離を従来の形成方法により形成したp型MOSFETの構造を示す断面図および平面図である。なお、図9(a)は、図8(b)に示すVIII-VIII線に沿った断面を示した断面図である。

【0016】

Si基板101のうち活性領域Racの上にはSiバッファ層102と、SiGe層103と、Siキャップ層104とが形成されており、Siキャップ層104の上には、ゲート絶縁膜110を挟んでゲート電極111が形成されている。Siキャップ層104とSiGe層103とSiバッファ層102とSi基板101とのうち、ゲート電極111の側方に位置する部分には、p型イオンが高濃度にドーピングされたソース・ドレイン領域112が互いに離間して設けられている。Siキャップ層104とSiGe層103とSiバッファ層102とSi基板101とのうち、ゲート電極111の下、つまりソース・ドレイン領域112の間に位置する部分がチャネル領域として機能する。

【0017】

Si基板101のうち素子分離領域Rreには、トレンチ酸化膜109とそれを覆うトレンチ側壁膜108とからなるトレンチ素子分離107が形成されてお

り、これにより各活性領域R_acのうち活性領域となる部分は分離されている。

【0018】

S_iキャップ層104およびトレンチ素子分離107の上には、ゲート電極111を覆う層間絶縁膜114が形成されている。そして、層間絶縁114およびS_{iO₂}膜を貫通してソース・ドレイン領域112に到達するA1等からなる配線115が形成されている。従来のトレンチ素子分離を有するp-MOSFETは、以上のような構造を有している。

【0019】

【発明が解決しようとする課題】

しかしながら、図9(a), (b)に示すSiGe p-MOSFETにおいて、図8(a)～(e)に示すような従来の方法でトレンチ素子分離を形成すると、以下に述べるような不具合が生じていた。

【0020】

図8(c)に示す工程では、トレンチ107aの側壁にSiGe層103の側面が露出する状態で熱酸化を行うことによりトレンチ側壁膜108を形成する。熱酸化を行っていくと、トレンチ107aの側面に露出しているSiGe層103の側面付近の領域においては、Siは酸化されてSiO₂からなるトレンチ側壁膜108の一部となっていき、Geはトレンチ側壁膜108から追い出される。その結果、熱酸化が終わったときには、Geはトレンチ側壁膜108と、熱酸化されなかったSiGe層103との界面に偏析して、高濃度のGeを含む層が形成されてしまう。また、熱酸化の条件によっては、トレンチ側壁膜108の中に高濃度のGeを含む領域が島のように分布して形成されることも報告されている。そして、図9(b)に示すように、活性領域R_acと素子分離領域R_reとの界面のうち、ゲート電極の下に位置するチャネル領域の端部にもGeが偏析してGe偏析層116が形成されてしまう。

【0021】

もともと、SiO₂層とSiGe層との界面には、SiO₂層とSi層との界面と比較して多くの界面準位が形成され、これにより、しきい値電圧が変動するおそれがある。また、この界面準位は、異なるトランジスタ間、あるいは、ト

ランジスタ内のソース・ドレイン間のリーク電流の経路になる恐れがある。

【0022】

また、トレンチ側壁膜108とSiGe層103との間に高濃度のGeが含まれる領域が存在することによっても、しきい値電圧が変動するおそれがある。

【0023】

図10は、図9(a), (b)に示すSiGe p-MOSFETのドレイン電流-ゲート電圧特性を示したグラフ図である。図10に示したグラフ図のデータは、ゲート長およびゲート幅が共に $50\text{ }\mu\text{m}$, ソースードレイン電圧が -300 mV の条件で測定した場合のデータである。上述のようなリーク電流の増加としきい値電圧の変動などの不具合により、トランジスタの特性が悪化していることが分かる。

【0024】

以上のような不具合は、SiGe層の上にゲート酸化膜を形成する場合にも生じてしまう。そこで、このような場合には、SiGe層の上をSiキャップ層で被覆して、Siキャップ層を酸化することによりゲート酸化膜を形成することを余儀なくされている。

【0025】

上述のような不具合は、 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層($0 < x < 1$, $0 \leq y < 1$)を有するデバイスにおいても生じてしまう。

【0026】

本発明の目的は、 $\text{Si}_{1-x}\text{Ge}_x$ 層と $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層とを熱酸化する際にGeの偏析領域が発生することを防ぐ手段を講ずることにより、リーク電流の抑制が可能であり、しきい値電圧の変動しにくい半導体装置およびその製造方法を提供することにある。

【0027】

【課題を解決するための手段】

本発明の半導体装置は、半導体基板と、上記半導体基板上に形成され、主要部の組成が $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ ($0 < x < 1$, $0 \leq y < 1$)で表される化合物半導体層と、上記化合物半導体層に接して設けられ、上記化合物半導体層の一部が、

G e のうちの少なくとも一部が熱処理によって蒸発した後に、酸化されることにより形成されたG e 蒸発酸化部とを備えている。

【0028】

これにより、G e のうちの少なくとも一部が蒸発によって失われた層を酸化することによってG e 蒸発酸化部を形成することができるので、酸化に起因して偏析するG e の量を少なくすることができ、化合物半導体層とG e 蒸発酸化部との界面の界面準位を低減することができる。

【0029】

上記化合物半導体層のうち上記主要部と上記G e 蒸発酸化部との間に位置する部分は、G e のうちの少なくとも一部が蒸発したG e 蒸発部となっていることにより、G e 組成率の低いG e 蒸発部のみを酸化してG e 蒸発酸化部を形成することができるので、G e の偏析をより少なくすることができ、化合物半導体層とG e 蒸発酸化部との界面準位を低減することができる。

【0030】

上記化合物半導体層のうち、上記主要部と上記G e 蒸発酸化部とが接していることにより、高い効果を得ることができる。

【0031】

上記化合物半導体層を貫通して上記半導体基板に到達するトレンチ素子分離が形成されており、上記化合物半導体層のうち上記トレンチ素子分離と接する部分は、上記G e 蒸発酸化部であることにより、上記トレンチ素子分離の側面付近に偏析するG e の量を少なくすることができ、化合物半導体層とG e 蒸発酸化部界面の界面準位を低減することができる。これにより、リーク電流の抑制が可能であり、しきい値電圧の変動しにくい半導体装置を得ることができる。

【0032】

上記熱処理は、700°C以上の温度で行われることにより、G e の組成比のより低いG e 蒸発部を得ることができる。

【0033】

上記G e 蒸発酸化部の深さは、30nm以下であることにより、化合物半導体層のうちG e の蒸発が起こりやすい露出表面から15nm程度の深さまでの部分

が酸化されたGe蒸発酸化部を得ることができる。

【0034】

本発明の半導体装置の製造方法は、半導体基板上に、主要部の組成が $Si_{1-x-y}Ge_xC_y$ ($0 < x < 1$, $0 \leq y < 1$) で表される化合物半導体層を形成する工程(a)と、減圧雰囲気下において、上記化合物半導体層に熱処理を行なうことによりGeを蒸発させて、上記化合物半導体層のうちの一部を、上記 $Si_{1-x-y}Ge_xC_y$ よりGe組成比の低いGe蒸発部とする工程(b)と、上記Ge蒸発部の少なくとも一部を酸素雰囲気下で酸化する工程(c)とを含む。

【0035】

これにより、上記工程(c)では、Ge組成比の低いGe蒸発部の少なくとも一部を酸化することにより絶縁膜を形成することができるので、酸化によって偏析するGeの量を従来の場合よりも少なくすることができます。

【0036】

上記工程(c)では、上記Ge蒸発部の少なくとも一部を酸化してゲート酸化膜の少なくとも一部を形成することにより、従来のようにキャップ層を形成しなくてすむので、工程を簡略化することが可能となる。

【0037】

上記工程(a)の後、上記工程(b)の前に、上記化合物半導体層の側面を露出させる工程(d)をさらに含み、上記工程(b)では、上記化合物半導体層のうち上記側面付近の部分を上記Ge蒸発部の少なくとも一部とすることができる。

【0038】

上記工程(d)では、上記化合物半導体層の一部を除去してトレンチを形成することにより上記化合物半導体層の上記側面を露出させ、上記工程(c)の後には、上記トレンチを絶縁層で埋めることによりトレンチ素子分離を形成する工程(e)をさらに含むことにより、上記工程(c)の酸化によってトレンチ素子分離の側面付近の化合物半導体層における界面準位を低減し、また、その領域に偏析するGeの量を少なくすることができるので、リーク電流を抑制することができ、しきい値電圧を変動しにくくすることができます。

【0039】

上記熱処理は、700°C以上の温度で行われることにより、上記工程（b）では、化合物半導体層の一部におけるGeの蒸発を大きく進めることができる。

【0040】

上記酸化によって形成される酸化部の深さが30nm以下であることが好ましい。

【0041】

【発明の実施の形態】

(第1の実施形態)

本実施形態では、 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層 ($0 < x < 1$, $0 \leq y < 1$) を有する半導体装置の製造方法について、図1(a)～図5を参照しながら説明する。なお、以下では、 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層を有する半導体装置のうち $y = 0$ である $\text{Si}_{1-x}\text{Ge}_x$ 層を有する半導体装置を例にして説明する。

【0042】

まず、本実施形態の半導体装置の製造方法のうちトレンチ素子分離を形成するまでの工程について、図1(a)～(e)を参照しながら説明する。図1(a)～(e)は、本実施形態において、 $\text{Si}_{1-x}\text{Ge}_x$ 層を有するp-MOSFETの製造方法のうちトレンチ素子分離を形成するまでの工程を示した断面図である。

【0043】

図1(a)に示す工程で、n型不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ であるSi基板1上に、UHV-CVD法により、厚さ10nmのSiバッファ層2と、厚さ15nmの、Ge組成率が25%であるSiGe層3と、厚さ15nmのSiキャップ層4とをエピタキシャル成長させる。このUHV-CVD法では、SiおよびGeのソースガスとしては Si_2H_6 (ジシラン)および GeH_4 (ゲルマン)を用いる。また、成長温度は550°Cであり、意図的なドーピングは行っていない。なお、半導体基板は、活性層形成領域Racと素子分離領域Rreとに分けられる。

【0044】

次に、図1(b)に示す工程で、Siキャップ層4の上部を750°Cの温度下

で酸化することにより、厚さ 15 nm のシリコン酸化膜 5 を形成する。ここで、Si キャップ層 4 の一部を酸化してシリコン酸化膜 5 を形成するため、Si キャップ層 4 自体の厚さは 8 nm 程度になる。続いて、シリコン酸化膜 5 の上に、740°C の温度下で厚さ 210 nm のシリコン窒化膜 6 を形成する。このとき、シリコン酸化膜 5、シリコン窒化膜 6 を形成するときの温度を低温にすることにより、Si 結晶の上に形成されて歪んだ状態にある SiGe 層 3 が緩和して欠陥が発生するのを防ぐことができる。

【0045】

そして、異方性ドライエッチングによって、シリコン窒化膜 6 とシリコン酸化膜 5 のうち素子分離領域 R_{re} に位置する部分を除去する。続いて、シリコン窒化膜 6 のうち活性層形成領域 R_{ac} に残った部分をマスクとして、Si キャップ層 4、SiGe 層 3、Si バッファ層 2 および Si 基板 1 の上部をパターニングすることにより、Si 基板 1 の一部に、深さ 0.4 ~ 0.8 μm 程度のトレンチ 7a を形成する。ここで、トレンチ 7a を形成することにより、トレンチ 7a の側壁上には SiGe 層 3 の側面が露出することになる。

【0046】

続いて、 2.66×10^{-7} Pa の減圧雰囲気下において、750°C、60 分の熱処理を行なう。熱処理を行なうことによって、トレンチの側壁のうち SiGe 層 3 が露出する部分の付近では Ge の蒸発が起こる。この Ge 蒸発によって、SiGe 層 3 のうちトレンチ 7a に露出する表面から 15 nm 程度の深さまでに位置する部分には Ge 蒸発部 8 が形成される。ここで、SiGe 層 3 のうち Ge 蒸発部 8 を除く部分は、 $Si_{1-x}Ge_x$ の組成を有する主要部となる。Ge 蒸発部 8 においては、熱処理前に含まれていた Ge のうちのほぼ全てが蒸発しており、Ge はほとんど含まれていない。ただし、Ge 蒸発部 8 においては、熱処理条件の変化等の原因により、熱処理前に含まれていた Ge のうちの一部が蒸発して、SiGe 層 3 のうちの他の部分よりも低い組成比の Ge が含まれていてもよい。なお、熱処理温度は 700°C 程度以上であればよく、熱処理時間も変化させることができる。

【0047】

次に、図1（c）に示す工程で、トレンチ7aの側壁を750°Cで熱酸化することにより、トレンチ7aの側壁を覆うトレンチ側壁膜9を形成する。このとき、SiGe層3においては、Ge組成比の低いGe蒸発部8のうちの一部が酸化されてトレンチ側壁膜9の一部となるため、従来の方法と比較して、偏析するGeの量を少なくすることができます。トレンチ側壁膜9とSiGe層3との界面における界面準位も少なくすることが可能となる。このとき、Ge蒸発部8のうちトレンチ7aに近い部分が酸化されてトレンチ側壁膜9の一部となっている。ただし、Ge蒸発部8のうちほぼ全部とSiGe層3のうちGe蒸発部8に近い部分とが酸化されることによりトレンチ側壁膜9の一部となってもよい。その場合においても、従来の方法より偏析するGeの量を少なくすることができますからである。

【0048】

次に、図1（d）に示す工程で、基板上に、トレンチ7aを埋める酸化膜を形成し、この酸化膜のうち活性層形成領域Racに位置する部分をエッチバックあるいはCMP（化学的機械的研磨法）によって除去することにより、トレンチ7aを埋めるトレンチ酸化層10を形成する。これにより、半導体基板における各活性領域Racは、トレンチ酸化層10と、それを覆うトレンチ側壁膜9とからなるトレンチ素子分離7によって個々に分離されることになる。

【0049】

次に、図1（e）に示す工程で、シリコン窒化膜6とシリコン酸化膜5とのうち活性層形成領域Racに残存している部分をエッチングにより除去して、Siキャップ層4のうち活性層形成領域Racに位置する部分を露出させる。

【0050】

次に、本実施形態の半導体装置の製造方法のうちトレンチ素子分離を形成した後の工程について、図2（a），（b）および図3（a），（b）を参照しながら説明する。図2（a），（b）は、本実施形態の半導体装置の製造方法のうちトレンチ素子分離を形成した後の工程を示す断面図である。図3（a），（b）は、本実施形態の半導体装置の構造を示す断面図および平面図である。なお、図3（a）は、図3（b）のIII-III断面における断面図である。

【0051】

まず、図2（a）に示す工程で、活性領域Racにおいて露出しているSiキップ層4のうちの上部を750°Cで熱酸化することにより、厚さ8nmの熱酸化膜11aを形成する。

【0052】

次に、図2（b）に示す工程で、熱酸化膜11aの上に厚さ200nm程度の多結晶シリコン層を堆積した後、多結晶シリコン層にB（ホウ素）をイオン注入する。その後、多結晶シリコン層および熱酸化膜11aをパターニングすることにより、ゲート電極12とゲート酸化膜11を形成する。そして、ゲート電極12とゲート酸化膜11をマスクとして、B（ホウ素）をイオン注入することにより、ソース・ドレイン領域13を形成する。

【0053】

その後、図3（a），（b）に示す構造を得るために、以下の処理を行なう。基板上に、厚さ500nmの、酸化シリコンからなる層間絶縁膜14を形成する。その後、ソース・ドレイン領域13における不純物等を活性化させるための熱処理を行なう。そして、層間絶縁膜14を貫通してソース・ドレイン領域13に到達するコンタクトホールを形成した後、コンタクトホールを埋めて層間絶縁膜14の一部の上に延びるA1配線15を形成する。以上の工程により、本実施形態における半導体装置を形成することができる。

【0054】

ここで、上述のような熱処理によるGeの蒸発について、図4（a），（b）を参照しながら述べる。図4（a），（b）は、熱処理を行った後のSiGe層の表面におけるGeの含有を低速イオン散乱法により観測した結果を示したグラフ図、測定方法を示した断面図である。

【0055】

ここで、低速イオン散乱法の測定方法について説明する。まず、（001）の面方位を有するSi基板上に、Ge組成率が15%であるSiGe層をUHV-CVD法により成長させる。そして、この基板を基板加熱機構を有する低速イオン散乱分析装置に導入する。そして、基板を測定温度に保った状態で、基板表面

にヘリウムイオンを打ち込んで散乱するヘリウムイオンの飛行時間を測定する。なお、基板の昇温および降温速度は $20\text{ }^{\circ}\text{C}/\text{min}$ として、測定温度範囲は室温～ $750\text{ }^{\circ}\text{C}$ とした。ヘリウムイオンは 3 keV で基板上に打ち込む。

【0056】

図4 (a)において、スペクトル(I)～(IX)は、各測定温度におけるヘリウムイオンの飛行時間のスペクトル(TOFスペクトル)を示している。図4 (b)に示すように、基板表面にヘリウムイオン(He^+)を打ち込むと、表面原子(質量M)と衝突したヘリウムイオン(質量m)の一部は、入射方向に対して 180 ° 方向に散乱される。この場合、表面原子への衝突時から検出器に到達するまでのヘリウムイオンの飛行時間は、 $(M+m)/(M-m)$ に比例する。したがって、飛行時間のスペクトル(TOFスペクトル)を測定すると、基板表面に含まれる元素を特定することができる。

【0057】

図4 (a)に示すように、室温(熱処理前)の基板についてのTOFスペクトル(I)には、Siの含有を示す 6400 nsec 付近のピークとGeの含有を示す 5800 nsec 付近のピークとが観測された。スペクトル(II)～(IV)においても、スペクトル(I)と同様にSi, Geの含有を示すピークが観測された。ところが、スペクトル(V), (VI)では、Geの含有を示すピークの強度が次第に減少している。このことから、 $700\text{ }^{\circ}\text{C}$ 付近においてGeの蒸発が観測され始めているといえる。さらに、スペクトル(VII)～(IX)においてもGeの含有を示すピークの強度が減少しており、スペクトル(IX)ではピークがほとんど表れていない。このことから、基板に $750\text{ }^{\circ}\text{C}$, 60分で熱処理を施すことにより、SiGe層の表面付近にあったGeの多くが蒸発したことが分かる。

【0058】

以上の結果から、SiGe層の表面付近のGeの蒸発は、基板を $700\text{ }^{\circ}\text{C}$ 以上の温度に加熱することにより観測されることと、熱処理の時間を長くすると蒸発するGeの量は多くなることが分かる。よって、Geの蒸発のための熱処理において、熱処理温度は $700\text{ }^{\circ}\text{C}$ 以上であればよく、熱処理時間は熱処理温度によって変えることができるといえる。

【0059】

また、Geの蒸発が起こるのはSiGe層の表面から深さ15nm程度の部分に限られており、その奥方のSiGeの組成は変化しないことがGe組成の深さ方向プロファイルにより確認されている。したがって、SiGe層のうち深さ15nm程度以下の部分を酸化することにより厚さ30nm程度以下の酸化膜を形成する場合に、本発明の効果を大きく得ることができる。

【0060】

以下に、本実施形態において得られる効果について述べる。

【0061】

まず、図1（b）に示す工程で、SiGe層3のうちのトレンチ7aに露出する部分からGeを蒸発させてGe蒸発部8を形成した後、図1（c）に示す工程で、Ge蒸発部8のうちの一部を酸化することによりトレンチ側壁膜9の一部を形成する。これにより、図1（c）に示す工程では、Ge組成比の低いGe蒸発部8を酸化することにより、Siを酸化して得られるのと同様の良質なSiO₂を得ることができる。

【0062】

加えて、SiGe層3の他の部分よりもGe組成比の低いGe蒸発部8を酸化するため、従来よりも偏析するGeの量を少なくすることができる。これにより、SiGe層3とトレンチ側壁膜9との界面付近に高組成比のGeが含まれる領域が形成されにくくなるので、発生する界面準位の数を低減することができる。具体的には、本実施形態のSiGe層3とトレンチ側壁膜9との間に形成される界面準位の密度は10⁹～10¹¹cm⁻²となり、この値は、Si層を酸化することにより形成されるSiO₂とSiとの界面における界面準位密度と同程度の値である。以上のことから、Geの偏析と界面準位との発生を抑制することが可能となるため、SiGe層3とトレンチ側壁膜9との間の界面のうちゲート電極12の下に位置する部分においてリーク電流の発生の抑制が可能となり、しきい値電圧の変動が生じるおそれもなくなる。

【0063】

図5は、図3（a），（b）に示すSiGe p-MOSFETのドレイン電流

—ゲート電圧特性を示したグラフ図である。図5に示したグラフ図のデータは、ゲート長およびゲート幅が共に $50\text{ }\mu\text{m}$ 、ソースドレイン電圧が -300 mV の条件で測定した場合のデータである。図5から、本実施形態の半導体装置においてはしきい値電圧のサブスレッシュルド特性のグラフ上にハンプが現れることなく、オフ時のドレイン電流も十分に抑制されていることがわかる。

【0064】

なお、本実施形態においては、 $\text{Si}_{1-x}\text{Ge}_x$ 層を用いた場合を例にあげて説明したが、 $\text{Si}_{1-x}\text{Ge}_x$ 層のかわりに、例えばGe組成率が15%，C組成率が1%などである $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層 ($y \neq 0$) を用いてもよい。

【0065】

(第2の実施形態)

本実施形態では、第1の実施形態で述べた半導体装置の製造方法を変形した製造方法について述べる。なお、以下では、 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層を有する半導体装置を例にして説明する。

【0066】

本実施形態の半導体装置の製造方法のうちゲート絶縁膜を形成するまでの工程について、図6(a)～(e)，図7(a)，(b)を参照しながら述べる。図6(a)～(e)，図7(a)，(b)は、本実施形態において、 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層を有するp-MOSFETの製造方法のうちゲート絶縁膜を形成するまでの工程を示した断面図である。

【0067】

まず、図6(a)に示す工程で、n型不純物濃度が $1 \times 10^{18}\text{ cm}^{-3}$ であるSi基板21上に、UHV-CVD法により、厚さ10nmのSiバッファ層22と、厚さ15nmの、Ge組成率が25%，C組成率が0.7%である SiGeC 層23とをエピタキシャル成長させる。このUHV-CVD法では、Si，GeおよびCのソースガスとしては Si_2H_6 (ジシラン)， GeH_4 (ゲルマン)および SiH_3CH_3 を用いる。また、成長温度は500°Cであり、意図的なドーピングは行っていない。なお、半導体基板は、活性層形成領域Racと素子分離領域Rreとに分けられる。

【0068】

その後、CVD法により、SiGeC層23の上に堆積酸化膜24を形成する。

【0069】

次に、図6（b）に示す工程で、堆積酸化膜24の上に、厚さ210nmのシリコン窒化膜25を形成する。そして、シリコン窒化膜25、堆積酸化膜24のうち素子分離領域R_{re}に位置する部分を除去する。そして、シリコン窒化膜25、堆積酸化膜24のうち活性領域R_{ac}に残った部分をマスクとして、SiGeC層23、Siバッファ層22およびSi基板21の上部をパターニングすることにより、深さ0.4～0.8μm程度のトレンチ26aを形成する。

【0070】

その後、 2.66×10^{-7} Paの減圧雰囲気下において、基板上に、750°C, 60分の熱処理を行なう。熱処理を行うことによって、SiGeC層23のうちトレンチ26aの側面付近の部分には、深さ15nm程度のGe蒸発部28が形成される。Ge蒸発部28においては、熱処理前に含まれていたGeのうちのほぼ全てが蒸発しており、Geはほとんど含まれていない。ただし、Ge蒸発部28においては、熱処理条件の変化等の原因により、熱処理前に含まれていたGeのうちの一部が蒸発して、SiGeC層23のうちの他の部分よりも低い組成比のGeが含まれていてもよい。なお、このときの熱処理温度は700°C程度以上であればよく、熱処理時間も変化させることができる。

【0071】

次に、図6（c）に示す工程で、基板上を750°Cの温度下で酸化することにより、トレンチ7aの側壁上に熱酸化膜29を形成する。このとき、SiGeC層23においては、Ge組成比の低いGe蒸発部28が酸化されるので従来よりも偏析するGeの量が少なくなり、SiGeC層23と熱酸化膜29との界面における界面準位を低減することができる。

【0072】

次に、図6（d）に示す工程で、基板上にトレンチ26aを埋める酸化膜を形成し、この酸化膜のうち活性層形成領域R_{ac}に位置する部分をエッチバックあ

るいはCMP（化学的機械的研磨法）によって除去することにより、トレンチ26aを埋めるトレンチ酸化層30を形成する。これにより、半導体基板における各活性領域Racは、トレンチ酸化層30と、それを覆う熱酸化膜29とからなるトレンチ素子分離26によって個々に分離されることになる。

【0073】

次に、図6（e）に示す工程で、シリコン窒化膜25と堆積酸化膜24とのうち活性層形成領域Racに残存している部分をエッチングにより除去して、SiGeC層23のうち活性層形成領域Racに位置する部分を露出させる。

【0074】

次に、図7（a）に示す工程で、 2.66×10^{-7} Paの減圧雰囲気下において、基板上に、750°C, 60分の熱処理を行なう。これにより、SiGeC層23のうち上面付近の部分には、深さ15nm程度のGe蒸発部31が形成される。ここで、SiGeC層23のうちGe蒸発部28とGe蒸発部31とを除く部分は、 $Si_{1-x-y}Ge_xC_y$ の組成を有する主要部となる。Ge蒸発部31においては、熱処理前に含まれていたGeのうちのほぼ全てが蒸発しており、Geはほとんど含まれていない。ただし、Ge蒸発部31においては、熱処理条件の変化等の原因により、熱処理前に含まれていたGeのうちの一部が蒸発して、SiGeC層23のうちの他の部分よりも低い組成比のGeが含まれていてもよい。なお、このときの熱処理温度は700°C程度以上であればよく、熱処理時間も変化させることができる。

【0075】

次に、図7（b）に示す工程で、基板上を750°Cの温度下で酸化することにより、SiGeC層23の上にゲート酸化膜32を形成する。このとき、SiGeC層23においては、Ge組成比の低いGe蒸発部31が酸化されるので偏析するGeの量が少なくなり、SiGeC層23とゲート酸化膜32との界面における界面準位を低減することができる。

【0076】

以後の工程は、第1の実施形態と同様である。

【0077】

本実施形態においては、第1の実施形態の場合と同様の効果が得られる。それに加えて、さらに、以下のような効果が得られる。

【0078】

本実施形態においては、Ge蒸発部31のうちの上部を酸化することによりゲート酸化膜32を形成するため、従来の製造方法による場合のようにSiGeC層の上にキャップ層を形成する必要がなくなり、工程を簡略化することができる。

【0079】

なお、本実施形態において、Ge蒸発部31を形成するための熱処理は、SiGeC層23を形成する工程からゲート酸化膜32を形成する工程までの間の工程であれば、どの工程で行なっても同様の効果を得ることができる。

【0080】

また、本実施形態は $Si_{1-x}Ge_x$ 層を用いたp-MOSFETにも適用できる。

【0081】

(その他の実施形態)

上記実施形態では、p-MOSFETの例を示したが、本発明においては、n-MOSFETであっても同様の効果を得ることができる。

【0082】

さらに、本発明は、 $Si_{1-x}Ge_x$ 層または $Si_{1-x-y}Ge_xCy$ 層を有するヘテロ接合バイポーラトランジスタにも適用することができる。

【0083】

上記実施形態では、半導体装置として $Si_{1-x-y}Ge_xCy$ 層 ($0 < x < 1$, $0 \leq y < 1$) をホールチャネルとする半導体装置の例を示したが、本発明においてはチャネル層が $Si_{1-x-y}Ge_xCy$ 層でなくてもよく、 $Si_{1-x-y}Ge_xCy$ 層を有している半導体装置であればよい。その場合には、製造工程において $Si_{1-x-y}Ge_xCy$ 層が露出する工程で熱処理を行なうことにより、上記実施形態と同様の効果を得ることができる。

【0084】

なお、本発明は、上記実施形態で示した工程に限らず、SiGe層あるいはSiGeC層の酸化工程であれば、いずれの工程においても、前処理として用いることができ、同様の効果を得ることができる。

【0085】

【発明の効果】

本発明の半導体装置およびその製造方法においては、 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層（ $0 < x < 1, 0 \leq y < 1$ ）の酸化によるGeの偏析を抑制することにより、質の高い酸化膜を得ることができるとともに、リーク電流を抑制することができ、しきい値電圧の変動を防止することができる。

【図面の簡単な説明】

【図1】

(a)～(e)は、第1の実施形態において、 $\text{Si}_{1-x}\text{Ge}_x$ 層を有するp-MOSFETの製造方法のうちトレンチ素子分離を形成するまでの工程を示した断面図である。

【図2】

(a), (b)は、第1の実施形態の半導体装置の製造方法のうちトレンチ素子分離を形成した後の工程を示す断面図である。

【図3】

(a), (b)は、第1の実施形態の半導体装置の構造を示す断面図および平面図である。

【図4】

(a), (b)は、第1の実施形態において、熱処理を行った後のSiGe層の表面におけるGeの含有を低速イオン散乱法により観測した結果を示したグラフ図、測定方法を示した断面図である。

【図5】

図3 (a), (b)に示すSiGe p-MOSFETのドレイン電流-ゲート電圧特性を示したグラフ図である。

【図6】

(a)～(e)は、第2の実施形態において、 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層を有する

p-MOSFETの製造方法のうちトレンチ素子分離を形成するまでの工程を示した断面図である。

【図7】

(a), (b) は、第2の実施形態において、 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層を有する p-MOSFETの製造方法のうちゲート酸化膜を形成するまでの工程を示した断面図である。

【図8】

(a) ~ (e) は、従来の方法によって、 SiGe 層が形成されている基板にトレンチ素子分離を形成する工程を示した断面図である。

【図9】

(a), (b) は、トレンチ素子分離を従来の形成方法により形成した p 型MOSFET の構造を示す断面図および平面図である。

【図10】

図9 (a), (b) に示す SiGe p-MOSFET のドレイン電流 - ゲート電圧特性を示したグラフ図である。

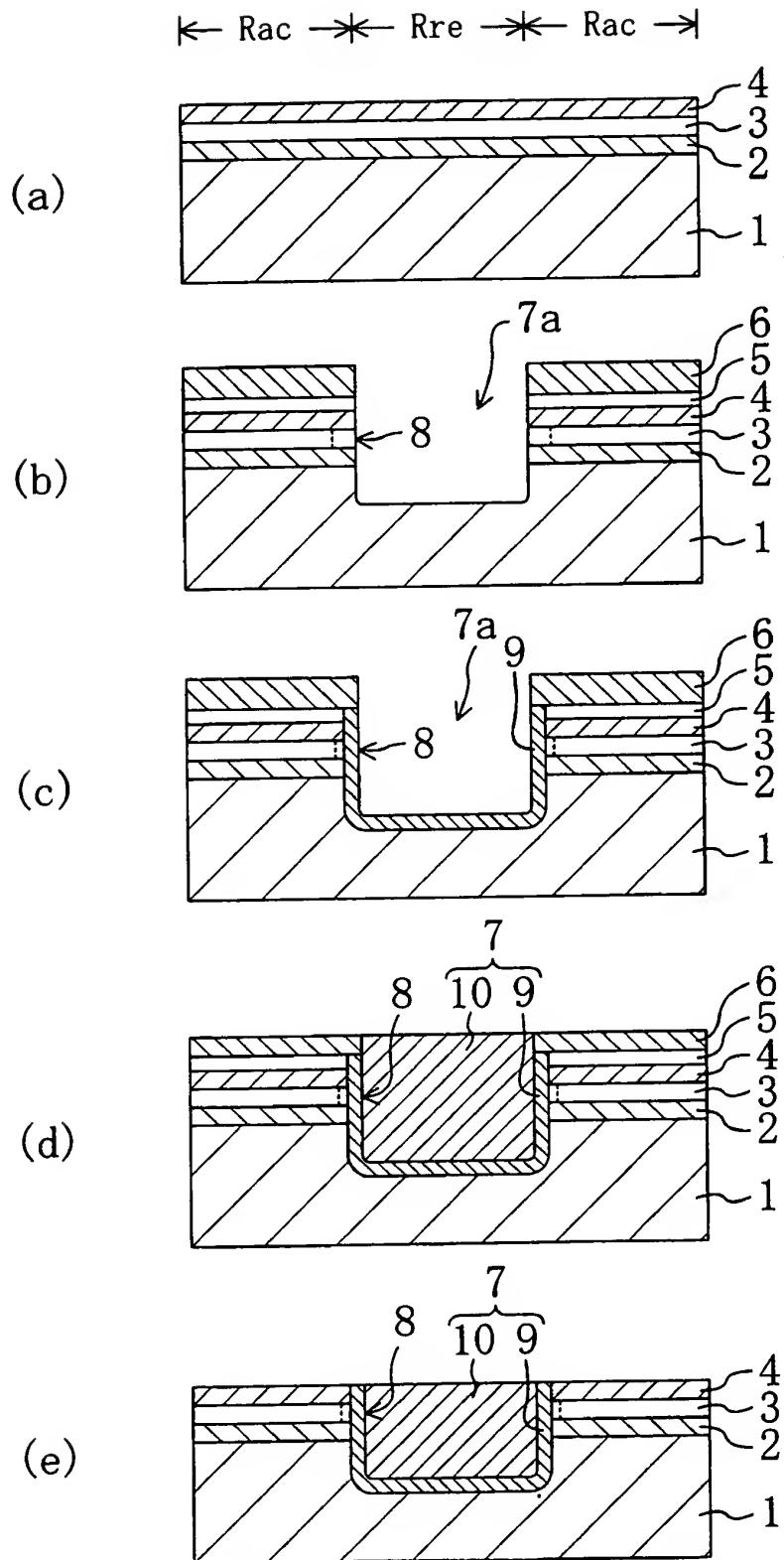
【符号の説明】

- 1 Si 基板
- 2 Si バッファ層
- 3 SiGe 層
- 4 Si キャップ層
- 5 シリコン酸化膜
- 6 シリコン窒化膜
- 7 a トレンチ
- 7 トレンチ素子分離
- 8 Ge 蒸発部
- 9 トレンチ側壁膜
- 10 トレンチ酸化膜
- 11 a 熱酸化膜
- 11 ゲート酸化膜

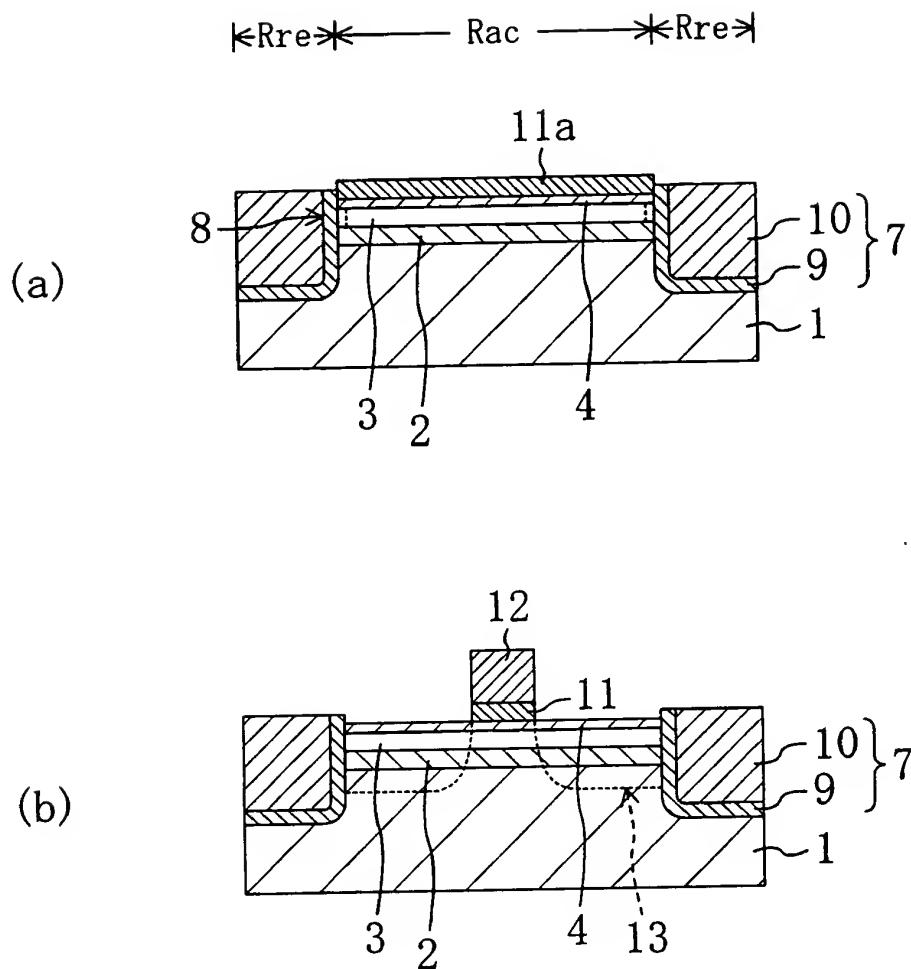
- 1 2 ゲート電極
- 1 3 ソース・ドレイン領域
- 1 4 層間絶縁膜
- 1 5 A1配線
- 2 1 Si基板
- 2 2 Siバッファ層
- 2 3 SiGeC層
- 2 4 堆積酸化膜
- 2 5 シリコン窒化膜
- 2 6 a トレンチ
- 2 6 トレンチ素子分離
- 2 8 Ge蒸発部
- 2 9 熱酸化膜
- 3 0 トレンチ酸化膜
- 3 1 Ge蒸発部
- 3 2 ゲート酸化膜

【書類名】 図面

【図1】

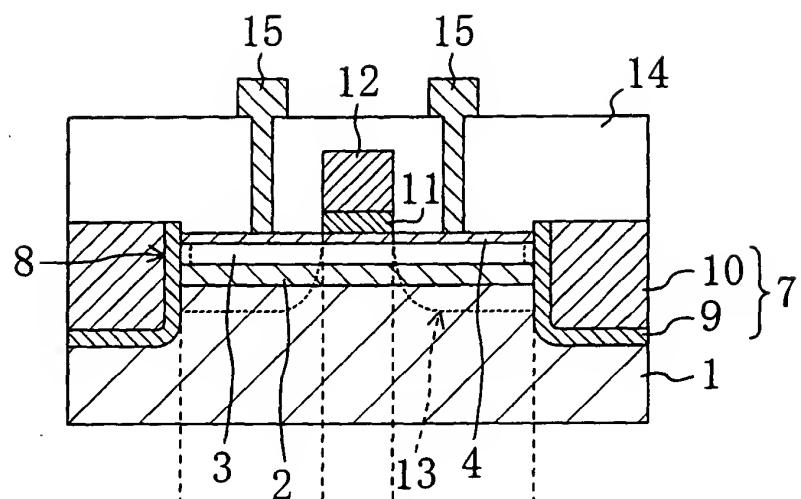


【図2】

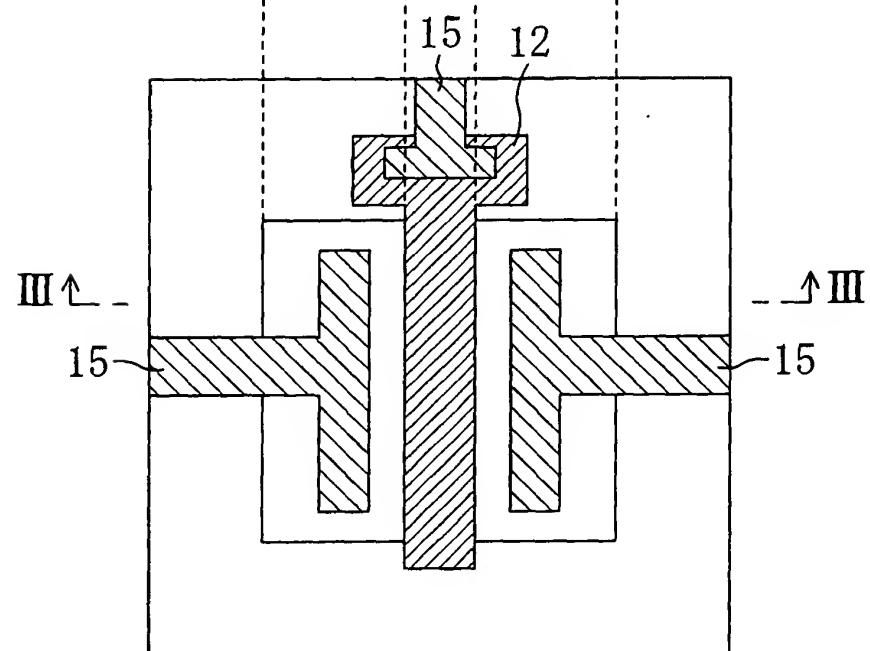


【図3】

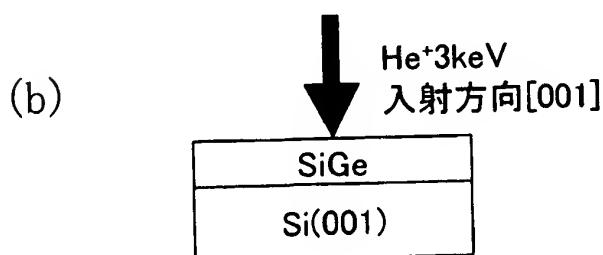
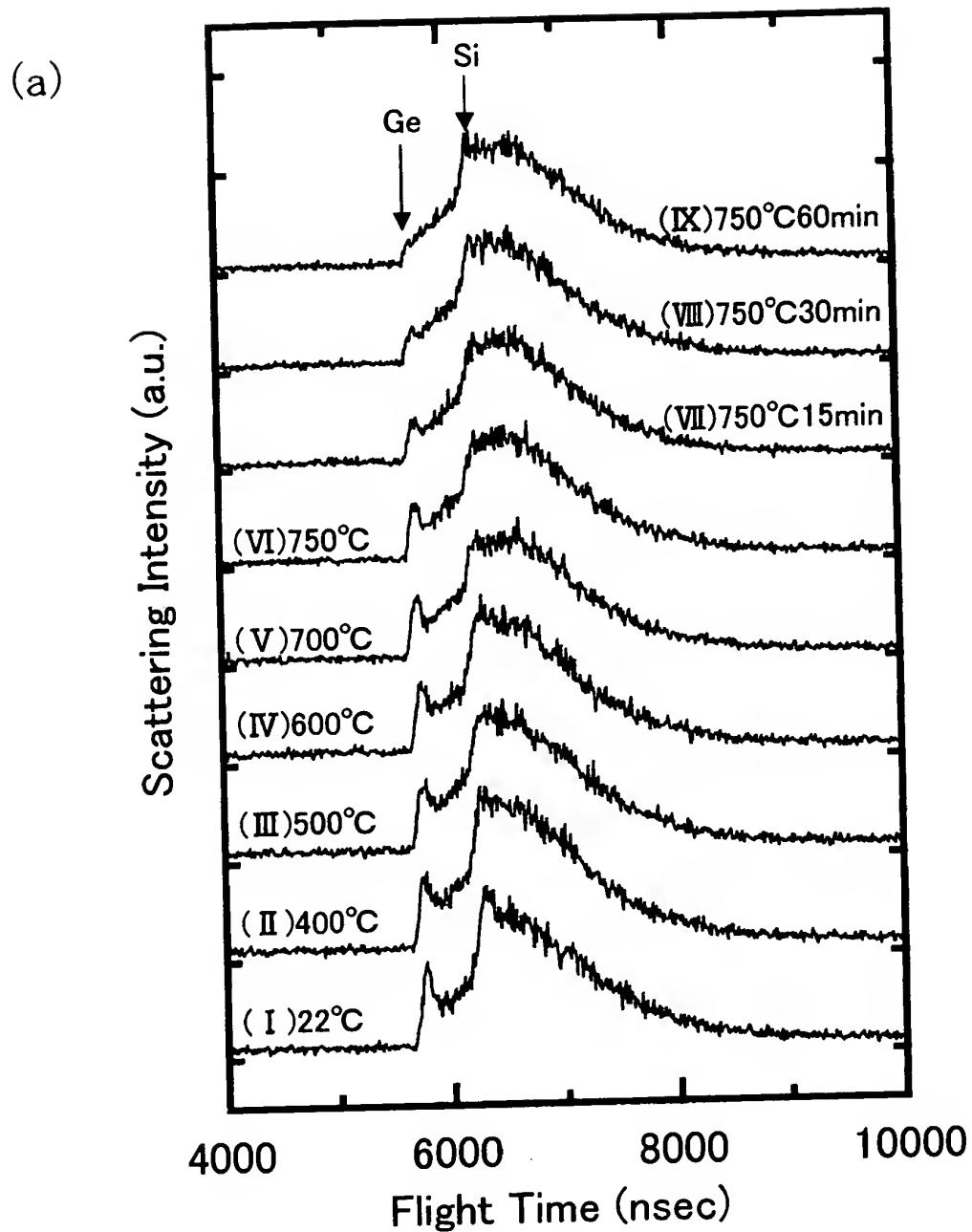
(a)



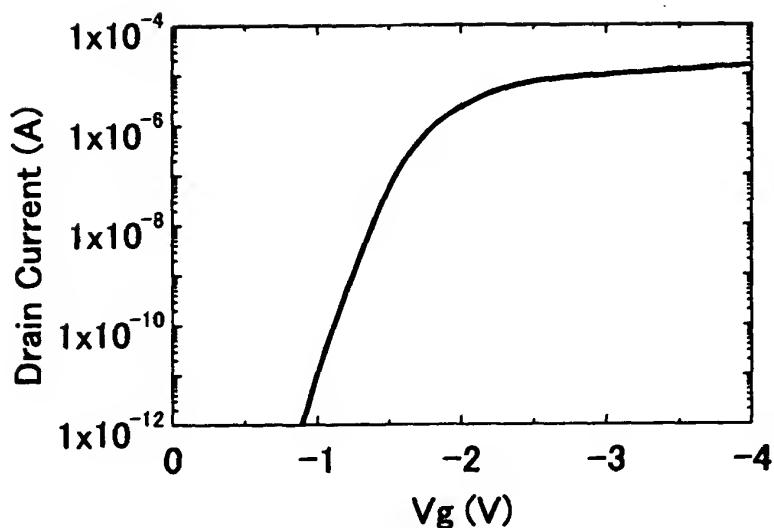
(b)



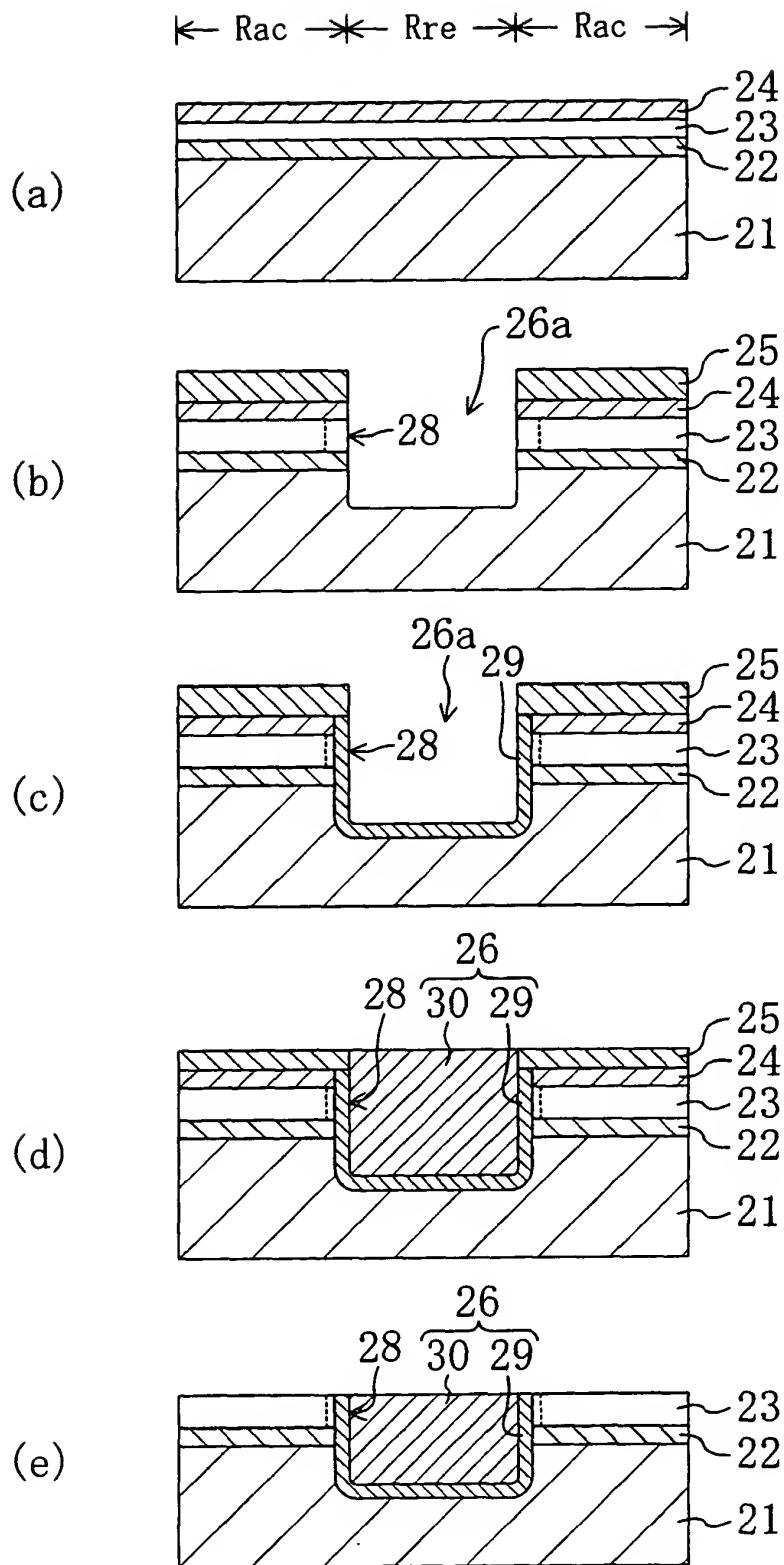
【図4】



【図5】

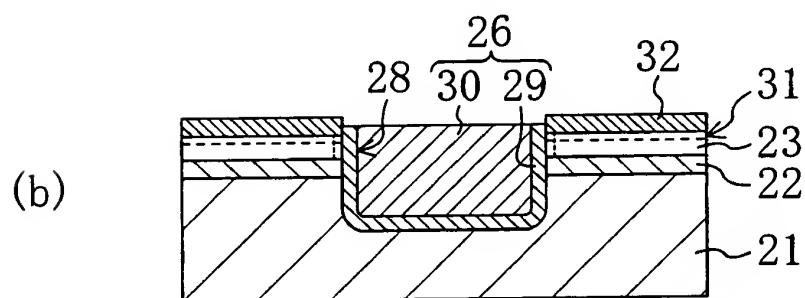
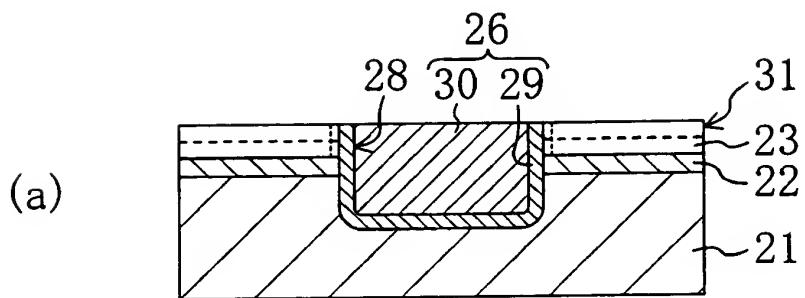


【図6】

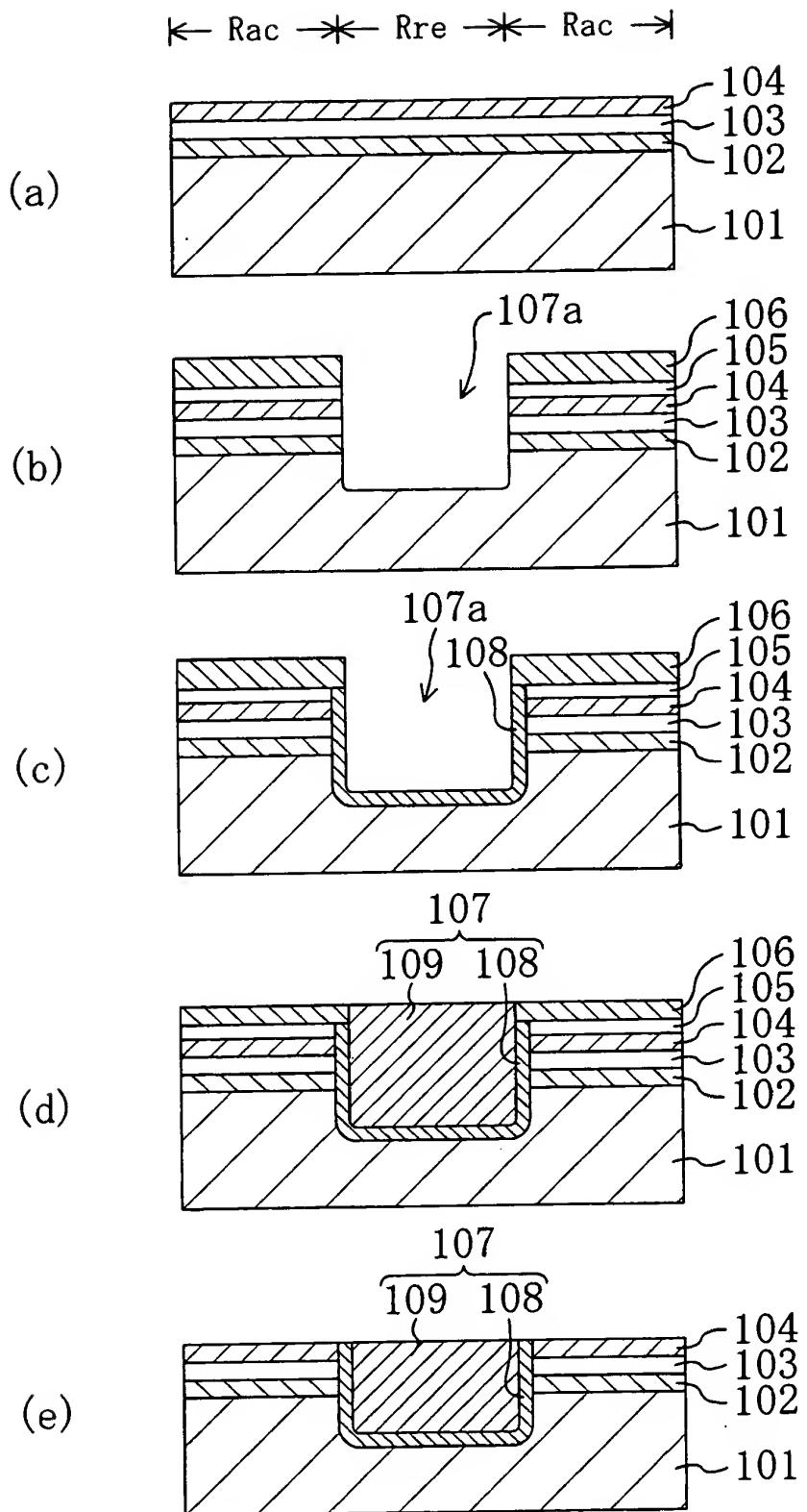


【図7】

← Rac →* Rre →* Rac →

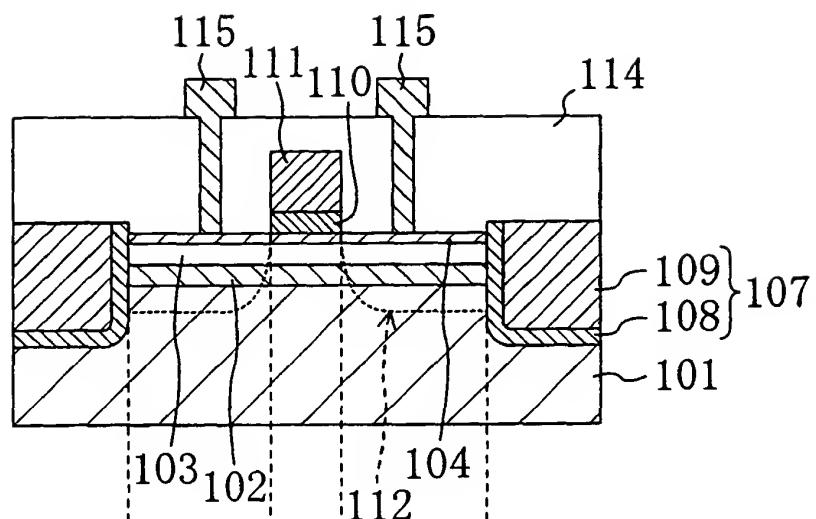


【図8】

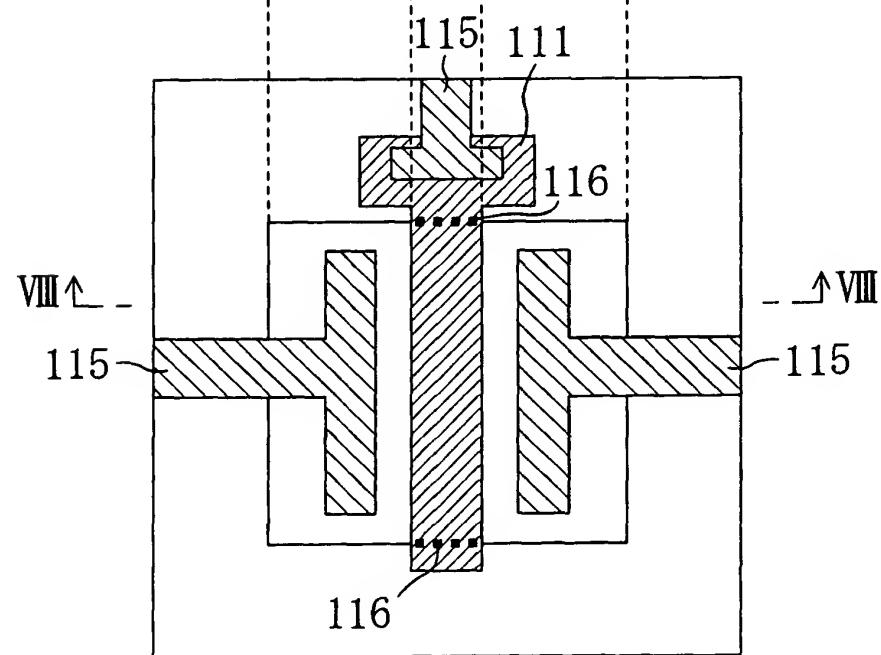


【図9】

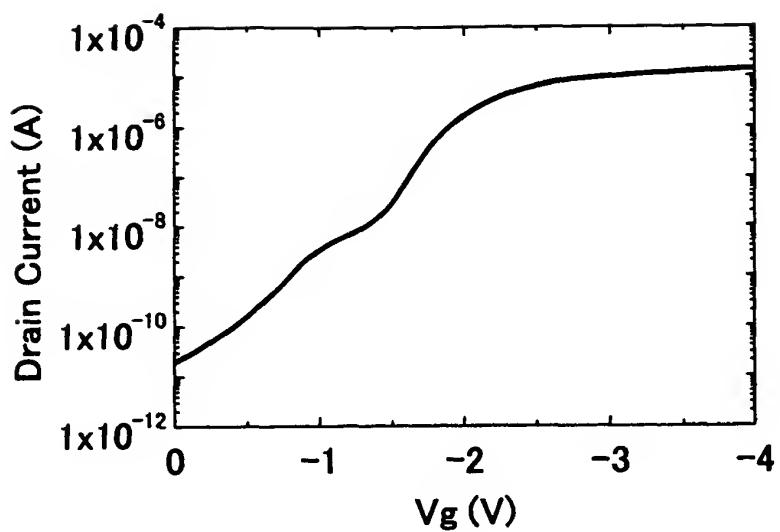
(a)



(b)



【図10】



【書類名】 要約書

【要約】

【課題】 SiGe層の酸化の際にGeの偏析が起こりにくい半導体装置およびその製造方法を提供する。

【解決手段】 Si基板1上に、バッファ層2と、SiGe層3と、Siキャップ層4とを形成する。それから、基板上にマスクを形成してパターニングを行うことにより、Si基板1に到達し、SiGe層3の側面を露出するトレンチ7aを形成する。ここで、トレンチ7aの側面に750℃、1時間の熱処理を行なうと、SiGe層3のうち露出表面付近の部分に含まれるGeが蒸発する。これにより、SiGe層3のうちトレンチ7aに露出する部分付近には、Geの組成比がSiGe層3のうちの他の部分より低いGe蒸発部8が形成される。その後、トレンチ7aの側面を酸化する。

【選択図】 図1

出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社